Загрузка программы

<https://www.st.com/en/development-tools/stsw-stm32091.html>

Документация

AN3988 Application note   
Clock configuration tool for STM32F40xx/41xx/427x/437x microcontrollers

Google Disk:

Video

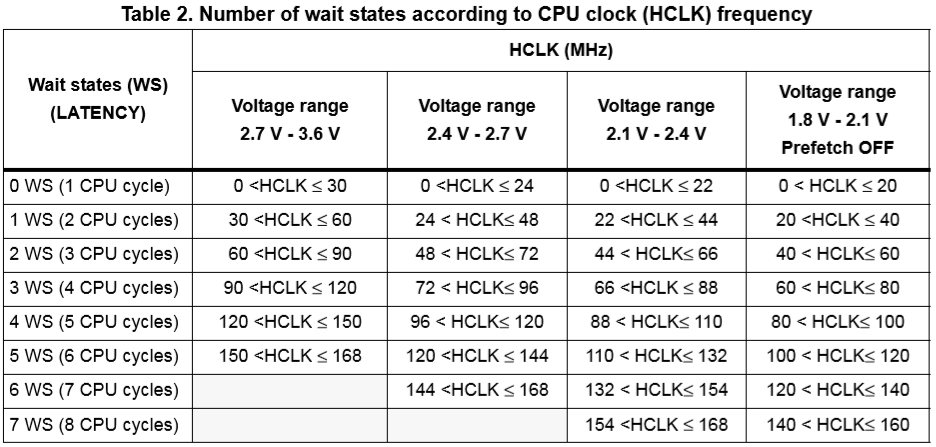
1. <https://www.youtube.com/watch?v=1EJGvw0quCE>

Вставки

К рис 2

Note: The number of Flash memory wait states (latency) is defined according to the frequency of the CPU (Cortex-M4) and indirectly by the supply voltage of the device (VDD)

Кількість очікуваних станів флеш-пам'яті (затримка) визначається відповідно до частоти процесора (Cortex-M4) і опосередковано через напругу живлення пристрою (VDD). Див. Табл. 2



К рис.3  
The audio sampling frequency may be 192 kHz, 96 kHz, 48 kHz, 44.1 kHz, 32 kHz, 22.05 kHz, 16 kHz, 11.025 kHz or 8 kHz. To reach the desired frequency, the linear divider (DIV) needs to be programmed according to the formulas below: When the master clock is generated (MCKOE in the SPI\_I2SPR register is set):

• Fs = I2SxCLK/[(16\*2)\*((2\*I2SDIV)+ODD)\*8)] when the channel frame is 16-bit wide

• Fs = I2SxCLK/[(32\*2)\*((2\*I2SDIV)+ODD)\*4)] when the channel frame is 32-bit wide

When the master clock is disabled (MCKOE bit cleared):

• FS = I2SxCLK/[(16\*2)\*((2\*I2SDIV)+ODD))] when the channel frame is 16-bit wide

• FS = I2SxCLK/[(32\*2)\*((2\*I2SDIV)+ODD))] when the channel frame is 32-bit wide

This tool performs the best configuration of the PLLI2S\_N and PLLI2S\_R with the minimum error on the sampling frequency and according to I2S parameters (frame wide, MCKO, and sampling frequency). Note: Only the PLLI2S\_N and PLLI2S\_R are configured in the “system\_stm32f4xx.c” file.

This tool does not configure the I2S register. The sampling frequency error is computed as an indicator according to the I2S parameters which are not configured in the output file “system\_stm32f4xx.c”.

Этот инструмент обеспечивает наилучшую конфигурацию PLLI2S\_N и PLLI2S\_R с минимальной ошибкой на частоте дискретизации и в соответствии с параметрами I2S (частота кадра, частота MCKO и частота дискретизации).

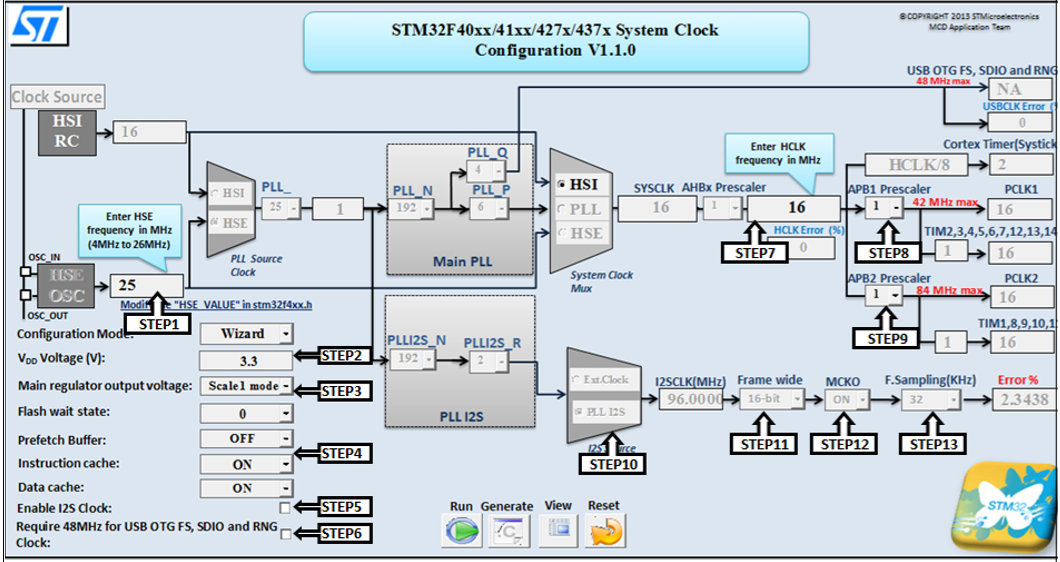
Примечание. В файле system\_stm32f4xx.c настроены только PLLI2S\_N и PLLI2S\_R. Этот инструмент не настраивает регистр I2S. Ошибка частоты дискретизации вычисляется как индикатор в соответствии с параметрами I2S, которые не настроены в выходном файле «system\_stm32f4xx.c».

К рис.4

Note: The ‘View’ button permits viewing of the xls file in full screen to be activated or deactivated.

The ‘Reset’ button permits the system clock to the default configuration to be set.  
дозволяє налаштувати системні годинники до конфігурації за замовчуванням

дозволяє налаштувати системні годинники до конфігурації за замовчуванням



**Step-by-step procedure**

**1.** If the HSE is used in your application, set its frequency between a minimum of 4 MHz and a maximum of 26 MHz if a crystal oscillator is used for STM32F4xx (рис.4)

Note: The definition, HSE\_VALUE, in the stm32f4xx.h file must be modified each time the user changes the HSE oscillator value.

**2**. Enter the VDD power supply voltage range which is between 1.8 V and 3.6 V (рис.5)

**3.** Configure the main regulator output voltage:

– Select Scale1 mode from the list box to obtain a maximum system clock frequency (fHCLK) of 168 MHz. – Select Scale2 mode, to obtain a maximum system clock frequency (fHCLK) 144 MHz.

**4.** Configure the Prefetch buffer, Instruction Cash and the Data cash (select ON or OFF from the list box).  
Настройте буфер предварительной выборки

**5**. Specify if the PLLI2S is needed. If it is needed, enable it and follow step 9, 10, 11 and 12. Otherwise, go to step 5.  
Укажите, требуется ли PLLI2S. Если это необходимо, включите его и следуйте шагам 9, 10, 11 и 12. В противном случае перейдите к шагу 5.

**6.** Specify if a 48 MHz clock is needed for USB OTG FS, RNG or SDIO operations. If it is needed, this adds a constraint to the parameter setting in PLL configuration. If it is not needed, no USB constraint has been added.  
Вкажіть, чи потрібен годинник 48 МГц для операцій USB OTG FS, RNG або SDIO. Якщо це необхідно, це додає обмеження для налаштування параметрів у конфігурації PLL. Якщо це не потрібно, жодних обмежень USB не було додано.

**7.** Set the desired HCLK frequency. The maximum HCLK frequency depends both on the main regulator voltage output Scale1/Scale2 mode (see step 4.) and on the VDD voltage (see Table 2). If the value entered is higher than the maximum HCLK frequency, an error message is displayed as shown in Figure 6.   
Встановіть бажану частоту HCLK. Максимальна частота HCLK залежить як від вихідної напруги основного регулятора Scale1 / Scale2 (див. Крок 4.), так і від напруги VDD (див. Табл. 2). Якщо введене значення перевищує максимальну частоту HCLK, відображається повідомлення про помилку, як показано на малюнку 6.

**8.** Select the PCLK1 and PCLK2 prescaler settings from the list box to obtain the desired PCLK1 and PCLK2 frequencies. The TIMCLK frequencies are configured automatically depending on the PCLK1 and PCLK2 prescaler settings.

Виберіть параметри prescaler PCLK1 та PCLK2 зі списку, щоб отримати бажані частоти PCLK1 та PCLK2. Частоти TIMCLK налаштовуються автоматично залежно від параметрів попереднього скасування PCLK1 та PCLK2.

**9.** See step 8.

**10.** Select the I2S clock source from the I2S source.

Ignore steps 10, 11, and 12 if the external clock is selected as the clock source for the I2S peripheral.

**11.** If the PLLI2S is selected as the I2S clock source, select the frame wide (16 or 32 bits).

**12.** Specify if the master clock is enabled or disabled (Select ON/OFF from the list box).

**13.** Select the Fs from the list box. The Fs value can be 192 kHz, 96 kHz, 48 kHz, 44.1 kHz, 32 kHz, 22.05 kHz, 16 kHz, 11.025 kHz, and 8 kHz.

**14.** Click the RUN button.

If more than one clock source is possible, a message box displays the clock sources that can be selected. (see Figure 7). Choose HSE, HSI or PLL (which are sourced by the HSI or HSE).

When the USB and/or the I2S are enabled (checkbox selected in the clock tool) and the selected HCLK frequency is not possible, a message box displays the nearest HCLK clock frequency to use.

Коли USB і / або I2S увімкнено (прапорець виділений на інструменті годинника) і вибрана частота HCLK неможлива, у вікні повідомлення відображається найближча тактова частота HCLK для використання.

Clicking the RUN button displays a progress bar.

**15.** Finally, click the Generate button to automatically generate the system\_stm32f4xx.c file

The system\_stm32f4xx.c is generated in the same location as the clock tool. Display the file to verify the value of the system clock, SystemCoreClock, and the values of HCLK, PCLK1, PCLK2, Flash access mode, and other parameters which are defined in the SetSysClock function

System\_stm32f4xx.c генерується в тому самому місці, що і годинник. Відобразити файл, щоб перевірити значення системного годинника, SystemCoreClock та значення HCLK, PCLK1, PCLK2, режиму Flash-доступу та інших параметрів, які визначені в функції SetSysClock

**The system\_stm32f4xx.c file must be added to the working project to be built**

If the file is not generated, an error message is displayed as shown Figure 9.

Figure 9. File generation error

3.2 **Expert mode**

